

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 3 1 8 8 9 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 3 1 8 8 9 4 ]

出 願 人            シャープ株式会社  
Applicant(s):

2 0 0 3 年   8 月   1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 3 - 3 0 6 1 8 2 1

【書類名】 特許願

【整理番号】 02J03024

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76  
H01L 21/31

【発明の名称】 半導体装置の製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 竹中 正浩

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代表者】 町田 勝彦

【代理人】

【識別番号】 100078868

【弁理士】

【氏名又は名称】 河野 登夫

【電話番号】 06(6944)4141

【選任した代理人】

【識別番号】 100114557

【弁理士】

【氏名又は名称】 河野 英仁

【電話番号】 06(6944)4141

【手数料の表示】

【予納台帳番号】 001889

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 S i 基板又は表面に S i 層を有する基板上に、格子歪みが緩和された S i G e 層、及び、格子歪みを有する S i 層がこの順に形成された半導体基板を用いて半導体装置を製造する方法において、

素子分離溝を形成すべく、前記半導体基板の素子分離領域となる部分をエッチングするエッチング工程と、

前記半導体基板に S i 膜を堆積させる堆積工程と、

堆積させた S i 膜を酸化する酸化工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 S i 基板又は表面に S i 層を有する基板上に、格子歪みが緩和された S i G e 層と、一層以上の半導体層と、格子歪みを有する S i 層とがこの順に形成された半導体基板を用いて半導体装置を製造する方法において、

素子分離溝を形成すべく、前記半導体基板の素子分離領域となる部分をエッチングするエッチング工程と、

前記半導体基板に S i 膜を堆積させる堆積工程と、

堆積させた S i 膜を酸化する酸化工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 3】 前記堆積工程で、5 乃至 1 0 n m の S i 膜を堆積させることを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記酸化工程により、前記堆積させた S i 膜を全て酸化することを特徴とする請求項 1 乃至 3 の何れかに記載の半導体装置の製造方法。

【請求項 5】 前記エッチング工程の前に、素子活性領域となる部分を保護するための保護膜を前記半導体基板表面に堆積させる工程を含むことを特徴とする請求項 1 乃至 4 の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、Si基板又はSOI基板上に、格子歪みが緩和されたSiGe層を有し、該SiGe層上に、格子歪みを有するSi層が形成された半導体基板上、又は、前記SiGe層上に形成された一層以上の半導体層上に、格子歪みを有するSi層が形成された半導体基板を用いて半導体装置を製造する方法に関する。

#### 【0002】

##### 【従来の技術】

従来、チャネルを通過するキャリア（電子又は正孔）の移動度を向上させるために、半導体基板を作製することが知られている。すなわち、Si基板21上に格子歪みを有するSiGe層22を仮想格子状に形成し、Si基板21との格子定数の不整合によるSiGe層22の歪みを、ミスフィット転位を導入させることにより緩和する。そして、格子歪みが緩和された歪み緩和SiGe層22上に、キャップ層としてSi層24を形成する（図4（a））。このSi層24には、より大きい格子定数を有する歪み緩和SiGe層22に引っ張られることにより歪みが生じる。これによりバンド構造が変化してキャリアの移動度が向上するものである。

#### 【0003】

上記のように作製した半導体基板を用いてCMOSトランジスタを製造する場合、図4及び図5に示すように、半導体基板表面の素子活性領域となる部分をフォトレジスト26で保護し（図4（b））、素子分離領域となる部分に、素子分離溝であるトレンチT2をエッチングにより形成する（図4（c））。その後、TEOS-CVD法により絶縁膜であるSiO<sub>2</sub>膜29をトレンチT2に埋め込み、フォトレジスト26を除去し、CMP（化学機械研磨）によりSiO<sub>2</sub>膜29の平坦化を行う（図5（d））。

#### 【0004】

その後、NチャネルMOSトランジスタ領域及びPチャネルMOSトランジスタ領域それぞれに、ウェル形成用、閾値電圧調整用の不純物のイオン注入を行う。続いて、通常のCMOSトランジスタの製造方法と同様に、ゲート酸化膜30の形成、CVD法によるPoly-Si膜の堆積及びドライエッチングによるゲート電極31の形成（図5（e））、ソース・ドレイン領域の形成を行うことに

より、CMOSトランジスタが完成する（例えば、特許文献1参照。）。

#### 【0005】

##### 【特許文献1】

特開2002-76334号公報

#### 【0006】

##### 【発明が解決しようとする課題】

上述した製造方法においては、素子分離領域となる部分のエッチングにより、トレンチT2は底部に角張ったエッジ部E2を有する形状に形成される（図4（c））。その後、エッジ部E2が角張ったままトレンチT2にSiO<sub>2</sub>膜29を埋め込むために、SiO<sub>2</sub>膜29は、角張ったエッジ部E2を有するトレンチT2に対応する形状に形成される（図5（d））。この結果、エッジ部E2において応力が集中し、プロセス工程中に格子欠陥を誘起する原因となり、図示しないソース領域とウェル領域との間においてリーク電流を増大させ、電気特性に悪影響を及ぼすという問題が発生する。

#### 【0007】

この対策として、半導体基板に素子分離領域を形成する際、素子分離領域となる部分のエッチング後に、エッチングにより形成されたトレンチが有する角張ったエッジ部を丸める処理としてのトレンチの表面の熱酸化を行う方法がある。ところで、Si基板上に歪み緩和SiGe層を有し、さらに歪み緩和SiGe層上に歪みSi層が形成された半導体基板においては、素子分離領域となる部分のエッチングにより、歪み緩和SiGe層と歪みSi層とがトレンチ側面として露出する。この歪み緩和SiGe層と歪みSi層とでは熱酸化の際の酸化速度が異なり、形成される酸化膜が不均一となる。このため、欠陥などの発生源となり、リーク電流増大の原因になるという問題がある。

#### 【0008】

本発明は斯かる事情に鑑みてなされたものであって、その目的とするところは、素子分離領域となる部分をエッチングした後、半導体基板にSi膜を堆積させ、堆積させたSi膜を酸化することにより、均一な酸化膜を形成すると共にトレンチが有する角張ったエッジ部を丸め、電氣的に信頼性の高い素子分離領域を形

成することが可能な半導体装置の製造方法を提供することにある。

#### 【0009】

##### 【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、Si基板又は表面にSi層を有する基板上に、格子歪みが緩和されたSiGe層、及び、格子歪みを有するSi層がこの順に形成された半導体基板を用いて半導体装置を製造する方法において、素子分離溝を形成すべく、前記半導体基板の素子分離領域となる部分をエッチングするエッチング工程と、前記半導体基板にSi膜を堆積させる堆積工程と、堆積させたSi膜を酸化する酸化工程とを含むことを特徴とする。

#### 【0010】

本発明においては、Si基板又は表面にSi層を有する基板上に、格子歪みが緩和されたSiGe層、及び、格子歪みを有するSi層がこの順に形成された半導体基板の素子分離領域となる部分をエッチングして素子分離溝を形成し、前記半導体基板にSi膜を堆積させ、堆積させたSi膜を酸化する。これにより、エッチングによりトレンチ側面として露出したSiGe層及びSi層表面に厚さが均一な酸化膜を形成することができると共に、エッチングにより形成されたトレンチが有する角張ったエッジ部を丸めることができる。ゆえに、リーク電流等の発生を防止した、電氣的に信頼性の高い素子分離領域を形成することができる。

#### 【0011】

また、本発明に係る半導体装置の製造方法は、Si基板又は表面にSi層を有する基板上に、格子歪みが緩和されたSiGe層と、一層以上の半導体層と、格子歪みを有するSi層とがこの順に形成された半導体基板を用いて半導体装置を製造する方法において、素子分離溝を形成すべく、前記半導体基板の素子分離領域となる部分をエッチングするエッチング工程と、前記半導体基板にSi膜を堆積させる堆積工程と、堆積させたSi膜を酸化する酸化工程とを含むことを特徴とする。

#### 【0012】

本発明においては、Si基板又は表面にSi層を有する基板上に、格子歪みが緩和されたSiGe層と、一層以上の半導体層と、格子歪みを有するSi層とが

この順に形成された半導体基板の素子分離領域となる部分をエッチングして素子分離溝を形成し、前記半導体基板にSi膜を堆積させ、堆積させたSi膜を酸化する。これにより、エッチングにより露出したSiGe層、SiGe上の半導体層及びSi層表面に厚さが均一な酸化膜を形成することができると共に、エッチングにより形成されたトレンチが有する角張ったエッジ部を丸めることができる。ゆえに、リーク電流等の発生を防止した、電氣的に信頼性の高い素子分離領域を形成することができる。

#### 【0013】

また、本発明に係る半導体装置の製造方法は、前記堆積工程で、5乃至10nmのSi膜を堆積させることを特徴とする。

#### 【0014】

本発明においては、素子分離溝が形成された半導体基板に堆積されるSi膜が薄くとも5nmであることにより、トレンチが有する角張ったエッジ部に必要最小限の丸みを持たせることが可能である。また、堆積されるSi膜が厚くとも10nmであることにより、不必要に厚い酸化膜を形成することもなく、半導体装置の微細化構造を維持することができる。

#### 【0015】

また、本発明に係る半導体装置の製造方法は、前記酸化工程により、前記堆積させたSi膜を全て酸化することを特徴とする。

#### 【0016】

本発明においては、素子分離溝が形成された半導体基板に堆積させたSi膜を全て酸化することにより、トレンチ側面として露出したSiGe層及びSi層表面（またはSiGe層、SiGe上の半導体層及びSi層表面）に均一な酸化膜が形成される。これにより、堆積させたSiの表面を一部だけ酸化させた場合に、酸化しなかったSiとトレンチ側面との界面が残存する結果発生しうる欠陥を防止することができる。

#### 【0017】

さらに、本発明に係る半導体装置の製造方法は、前記エッチング工程の前に、素子活性領域となる部分を保護するための保護膜を前記半導体基板表面に堆積さ



せる工程を含むことを特徴とする。

#### 【0018】

本発明においては、エッチング工程の前に、 $\text{Si}_3\text{N}_4$  等の保護膜を半導体基板表面に堆積させることにより、保護膜に覆われる半導体基板の素子活性領域となる部分をエッチングから保護すると共に、形成される素子分離溝に後の工程で埋め込まれる素子分離膜を研磨する際のストoppaとして、この保護膜に覆われる半導体基板の素子活性領域となる部分を保護することができる。

#### 【0019】

##### 【発明の実施の形態】

以下、本発明をその実施の形態を示す図面に基づいて説明する。

本実施の形態においては、一例として、以下に示す処理によりCMOSトランジスタを製造する場合について、図1及び図2に示す模式図を用いて説明する。

前処理としてp型(100)Si基板1の高温硫酸洗浄及びRCA洗浄を行い、5%希フッ酸にてSi基板1表面の自然酸化膜の除去を行う。その後、低圧化学気相成長(LP-CVD)装置により、 $\text{GeH}_4$  及び $\text{SiH}_4$  を用いて、500℃にてGe濃度30%のSiGe層2を150nmの厚さになるまで、Si基板1上にエピタキシャル成長させる。そして、注入エネルギー18keV、ドーズ量 $3 \times 10^{16} \text{H}^+ / \text{cm}^2$ 、注入角7°の条件で、Si基板1及びSiGe層2からなる半導体基板へ水素イオンを注入した後、高温硫酸洗浄及びRCA洗浄を行う。洗浄後、電気炉アニール装置により、 $\text{N}_2$  雰囲気下で800℃、10分間アニールの処理を行う。

#### 【0020】

これにより、SiGe層2とSi基板1との界面からSi基板1側に20～50nmの水素イオンの注入ピーク近傍に、10nm程度のマイクロキャビティと呼ばれる微小の空孔が発生する。このマイクロキャビティの発生による積層欠陥がすべりを起こすことにより、SiGe層2とSi基板1との界面にミスフィット転位が発生し、SiGe層2の結晶格子の歪みが緩和される。

この歪みが緩和された歪み緩和SiGe層2表面に、さらに半導体層として、Ge濃度30%のSiGe層3を300nmの厚さになるまでエピタキシャル成

長させる。そして、その SiGe 層 3 上に、キャリアが通過するチャネルとしての Si 層 4 を 20 nm の厚さになるまでエピタキシャル成長させる。ここで、Si 層 4 の格子定数よりも SiGe 層 3 の格子定数の方が大きいので、Si 層 4 は SiGe 層 3 に引っ張られ、Si 層 4 に歪みが生じる。

#### 【0021】

上述したようにして形成された半導体基板 S 表面に、素子活性領域となる部分を後の工程において保護するための保護膜 5 を、500～1500 nm の厚さになるように CVD 法により堆積させる（図 1（a））。この保護膜 5 としては、Si<sub>3</sub>N<sub>4</sub> を用いる。

次に、フォトリソグレイド 6 を、保護膜 5 上に 500～1500 nm の厚さになるようにスピン塗布する。そして、i 線を利用したステツパと、LSI 製造時に用いる素子分離領域（STI、LOCOS 等）形成用のフォトマスクとを用いてフォトリソグレイド 6 を露光し、アルカリ現像液を用いて現像する。これにより、保護膜 5 表面の素子活性領域となる部分に残っているフォトリソグレイド 6 によるフォトリソグレイドパターンが形成される（図 1（b））。

#### 【0022】

次に、反応性イオンエツチング法により、保護膜 5 表面に残っているフォトリソグレイド 6 をマスクとして、素子分離領域となる部分の保護膜 5 をエツチングして除去する。続いて、反応性イオンエツチング法により、残っている保護膜 5 及びフォトリソグレイド 6 をマスクとして半導体基板 S の素子分離領域にトレンチ T を形成する（図 1（c））。形成されたトレンチ T は、底部に角張ったエツジ部 E（図 3 の左側）を有する。

次に、保護膜 5 表面に残っているフォトリソグレイド 6 を除去した後、CVD 法により、Poly-Si 膜 7 を 5～10 nm 程度の厚さになるまで全露出面、つまり、保護膜 5 表面（上面）及び露出した表面（側面）と、トレンチ T の側面及び底面とに堆積させる（図 1（d））。

#### 【0023】

次に、堆積させた Poly-Si 膜 7 をドライ酸化することにより、SiO<sub>2</sub> 膜 8 を形成する（図 2（e））。例えば、堆積させた Poly-Si 膜 7 の厚さ

が5 nmの場合、950～1050℃において10～30分間ドライ酸化することにより、Poly-Siを全て酸化することができる。

これにより、図3に示す左側の拡大図のように、トレンチTが有する角張ったエッジ部Eは、右側の拡大図のように、トレンチTの側面及び底面に堆積されたPoly-Siが全て酸化されてSiO<sub>2</sub>となることにより丸められる。

そして、TEOS-CVD法により、絶縁膜であるSiO<sub>2</sub>膜9をトレンチTに埋め込み、CMPにより、保護膜5をストップとしてSiO<sub>2</sub>膜9の研磨及び平坦化を行い、平坦化後、保護膜5を除去する(図2(f))。

#### 【0024】

次に、図示していないが、NチャネルMOSトランジスタ領域及びPチャネルMOSトランジスタ領域それぞれに、ウェル形成用、閾値電圧調整用の不純物のイオン注入を行う。続いて、通常のCMOSトランジスタの製造方法と同様に、熱酸化によるゲート酸化膜10の形成、CVD法によるPoly-Si膜の堆積及び堆積させたPoly-Si膜のドライエッチングによるゲート電極11の形成、ソース・ドレイン領域の形成を行う(図2(g))。以上の処理により、本発明に係る製造方法によるCMOSトランジスタが完成する。

#### 【0025】

なお、本実施の形態においては、半導体基板Sとして、Si基板1上に歪みが緩和された歪み緩和SiGe層2を有し、歪み緩和SiGe層2上に、半導体層としてさらにSiGe層3が形成され、SiGe層3上に、歪みを有する歪みSi層4が形成されたものを用いたが、これに限定するものではなく以下のものであってもよい。すなわち、歪み緩和SiGe層2上に歪みSi層4が形成された半導体基板であってもよい。また、歪み緩和SiGe層2とSiGe層3との間、又はSiGe層3と歪みSi層4との間にさらに半導体層を有する半導体基板であってもよい。また、トレンチTを形成後に堆積させるSi膜は、Poly-Si膜に限定されるものではなく、非晶質Si膜、単結晶Si膜などのSi単体の膜であればよい。

#### 【0026】

また、本実施の形態においては、半導体基板Sとして、その上に歪み緩和Si

Ge層2、歪みSi層4等が形成されたSi基板1を用いる形態としたが、Si基板1の代わりに、表面にSi層を有する基板としてSOI基板を用いる形態であってもよい。この形態においても、Si基板1を用いる場合と同様のCMOSトランジスタを製造することができる。

#### 【0027】

##### 【発明の効果】

本発明によれば、Si基板又は表面にSi層を有する基板上に、格子歪みが緩和されたSiGe層を有し、該SiGe層上に、格子歪みを有するSi層が形成された半導体基板の素子分離領域となる部分をエッチングして素子分離溝を形成し、前記半導体基板にSi膜を堆積させ、堆積させたSi膜を酸化する。これにより、エッチングによりトレンチ側面として露出したSiGe層及びSi層表面に厚さが均一な酸化膜を形成することができると共に、エッチングにより形成されたトレンチが有する角張ったエッジ部を丸めることができる。ゆえに、リーク電流等の発生を防止した、電氣的に信頼性の高い素子分離領域を形成することができる。

#### 【0028】

また、本発明によれば、Si基板又は表面にSi層を有する基板上に、格子歪みが緩和されたSiGe層を有し、該SiGe層上に形成された一層以上の半導体層上に、格子歪みを有するSi層が形成された半導体基板の素子分離領域となる部分をエッチングして素子分離溝を形成し、前記半導体基板にSi膜を堆積させ、堆積させたSi膜を酸化する。これにより、エッチングにより露出したSiGe層、SiGe上の半導体層及びSi層表面に厚さが均一な酸化膜を形成することができると共に、エッチングにより形成されたトレンチが有する角張ったエッジ部を丸めることができる。ゆえに、リーク電流等の発生を防止した、電氣的に信頼性の高い素子分離領域を形成することができる。

#### 【0029】

また、本発明によれば、素子分離溝が形成された半導体基板に堆積されるSi膜が薄くとも5nmであることにより、トレンチが有する角張ったエッジ部に必要最小限の丸みを持たせることが可能である。また、堆積されるSi膜が厚くと

も 10 nm であることにより、不必要に厚い酸化膜を形成することもなく、半導体装置の微細化構造を維持することができる。

#### 【0030】

また、本発明によれば、素子分離溝が形成された半導体基板に堆積させた Si を全て酸化することにより、トレンチ側面として露出した SiGe 層及び Si 層表面（または SiGe 層、SiGe 上の半導体層及び Si 層表面）に均一な酸化膜が形成される。これにより、堆積させた Si の表面を一部だけ酸化させた場合に、酸化しなかった Si とトレンチ側面との界面が残存する結果発生しうる欠陥を防止することができる。

#### 【0031】

さらに、本発明によれば、エッチング工程の前に、Si<sub>3</sub>N<sub>4</sub> 等の保護膜を半導体基板表面に堆積させることにより、保護膜に覆われる半導体基板の素子活性領域となる部分をエッチングから保護すると共に、形成される素子分離溝に後の工程で埋め込まれる素子分離膜を研磨する際のストッパとして、この保護膜に覆われる半導体基板の素子活性領域となる部分を保護することができる。

#### 【図面の簡単な説明】

##### 【図 1】

本発明に係る半導体装置の製造方法を示す模式図である。

##### 【図 2】

本発明に係る半導体装置の製造方法を示す模式図である。

##### 【図 3】

トレンチ近傍の拡大図である。

##### 【図 4】

従来の半導体装置の製造方法を示す模式図である。

##### 【図 5】

従来の半導体装置の製造方法を示す模式図である。

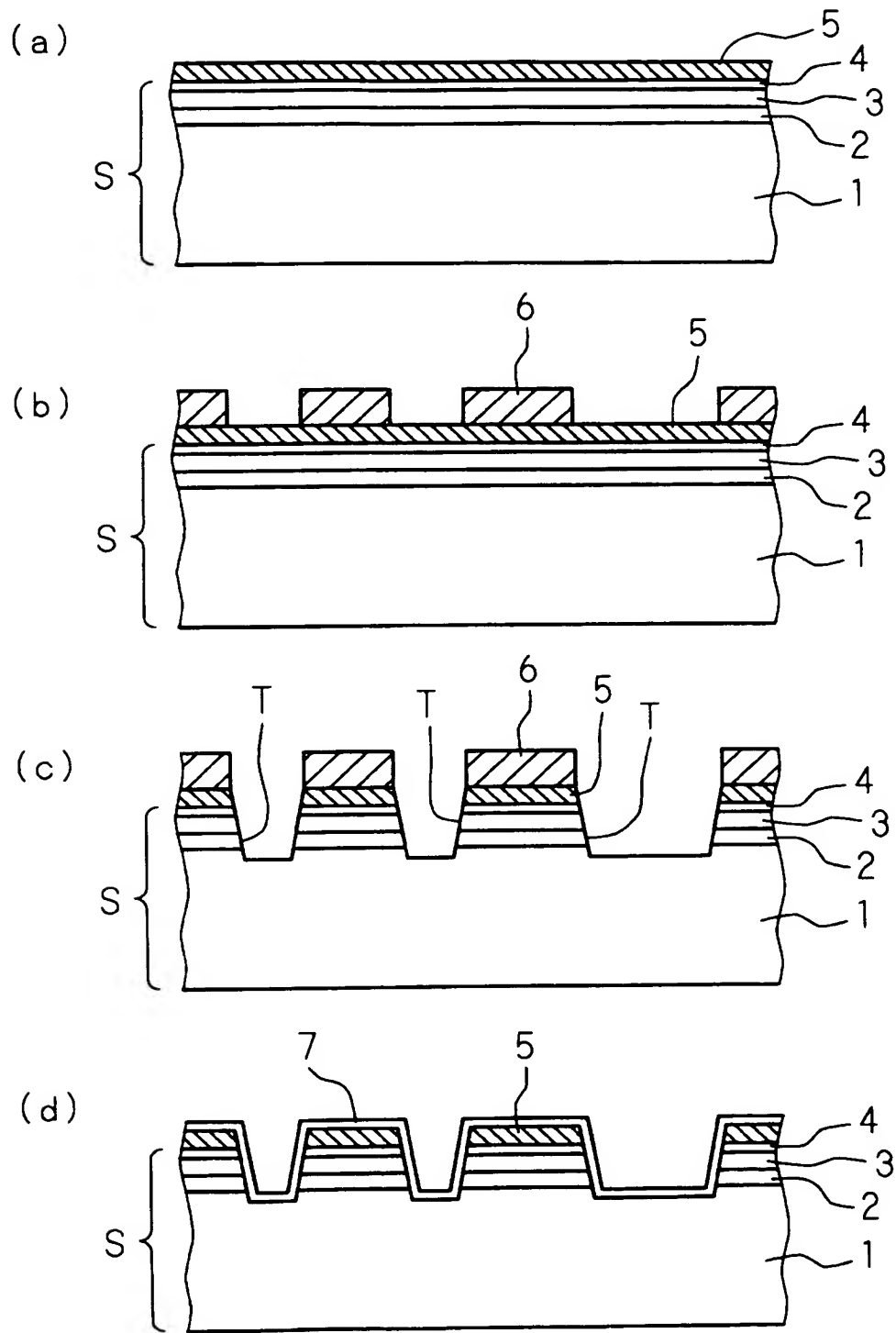
#### 【符号の説明】

- |      |             |
|------|-------------|
| 1、21 | Si 基板       |
| 2、22 | 歪み緩和 SiGe 層 |

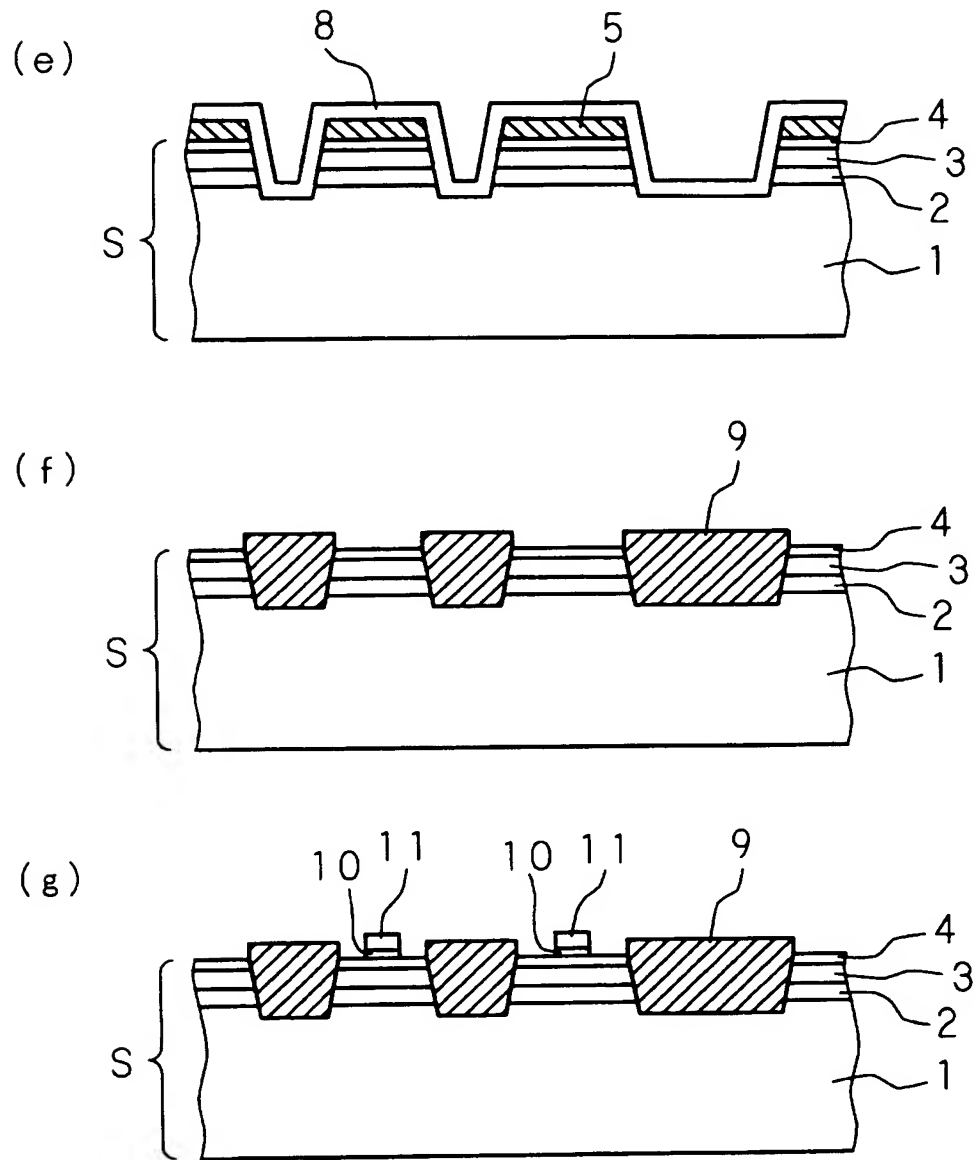
3	S i G e 層
4、2 4	歪み S i 層
5	保護膜
6、2 6	フォトレジスト
7	P o l y - S i 膜
8、9、2 9	S i O <sub>2</sub> 膜
1 0、3 0	ゲート酸化膜
1 1、3 1	ゲート電極
T、T 2	トレンチ
E、E 2	エッジ部
S	半導体基板

【書類名】 図面

【図 1】

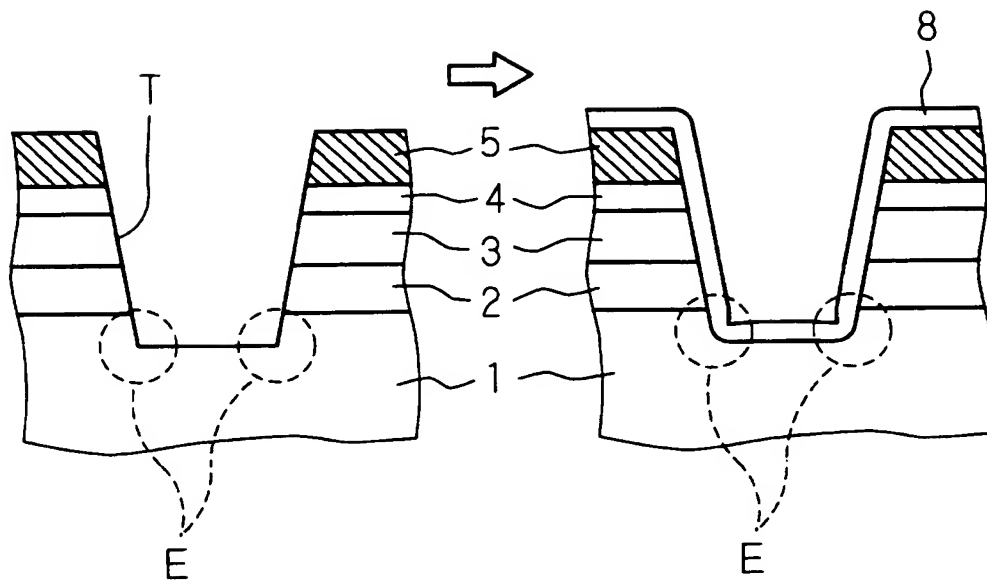


【図 2】

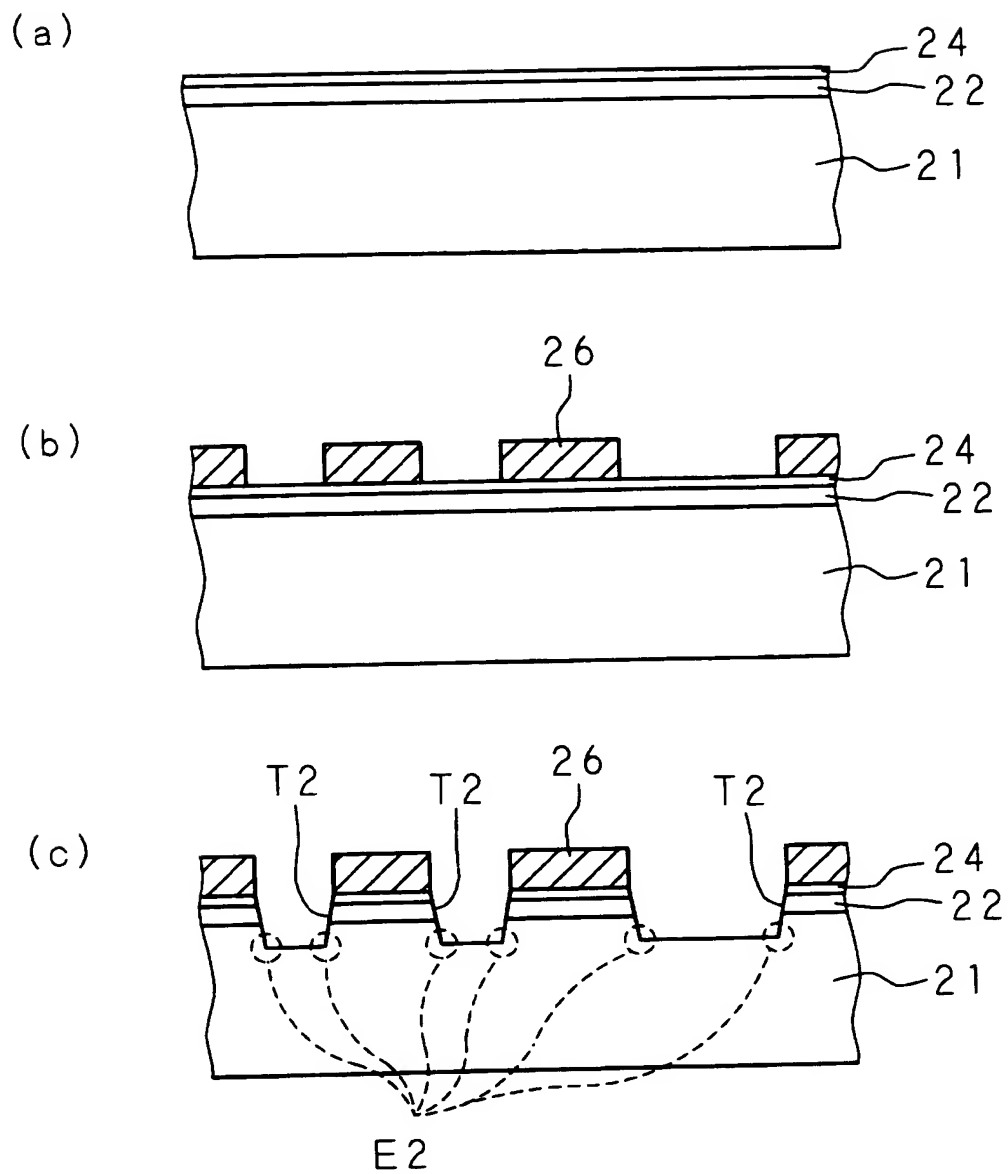




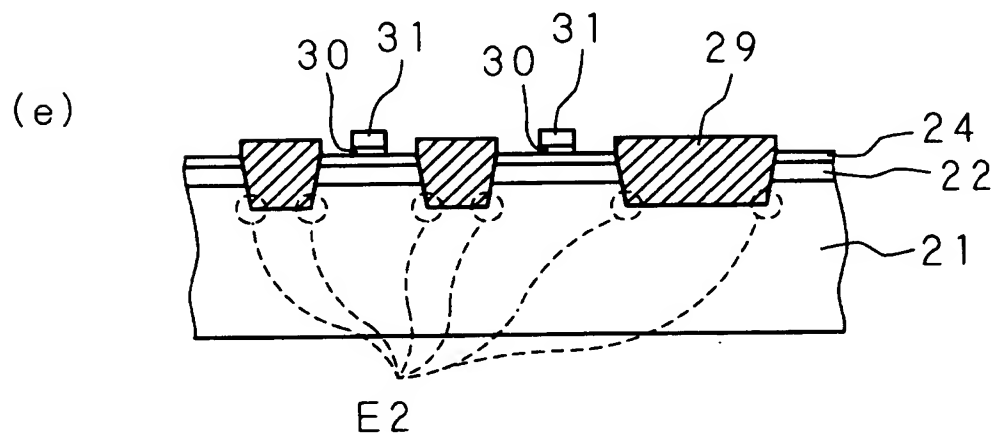
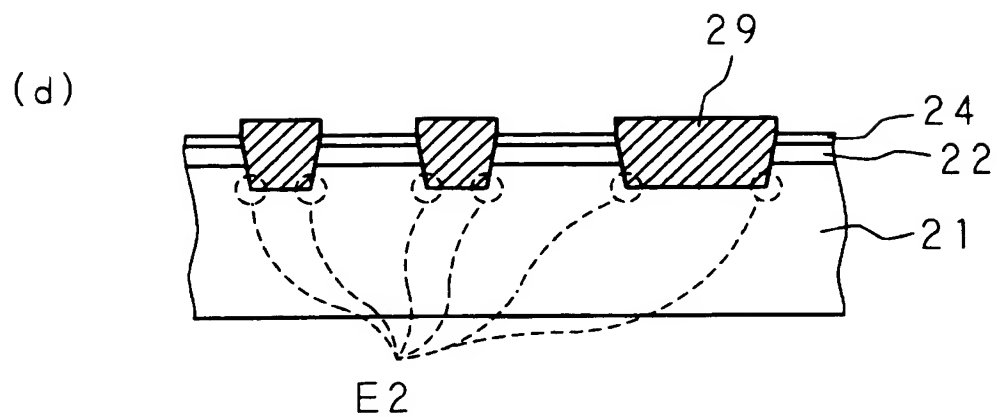
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 トレンチが有する角張ったエッジ部を丸め、電氣的に信頼性の高い素子分離領域を形成することが可能な半導体装置の製造方法を提供する。

【解決手段】 S i 基板 1 上に、格子歪みが緩和された S i G e 層 2 と、S i G e 層 3 と、格子歪みを有する S i 層 4 とがこの順に形成された半導体基板 S に、素子分離領域となる部分にエッチングによりトレンチ T を形成する。そして、全露出面に S i 膜を堆積し、堆積させた S i 膜をドライ酸化することにより S i O<sub>2</sub> 膜 8 を形成することでトレンチ T が有するエッジ部 E を丸める。

【選択図】 図 3

特願 2 0 0 2 - 3 1 8 8 9 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社